

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-051120

(43)Date of publication of application : 19.02.1992

(51)Int.Cl.

G02F 1/136

G09F 9/30

H01L 27/12

H01L 29/784

(21)Application number : 02-160114

(71)Applicant : NEC CORP

(22)Date of filing : 19.06.1990

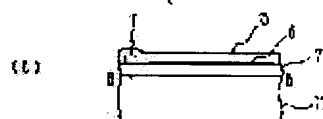
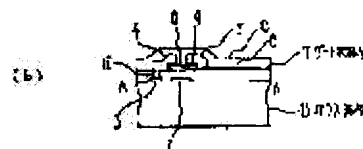
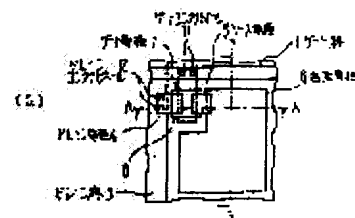
(72)Inventor : MORIYAMA HIROAKI

(54) LIQUID CRYSTAL DISPLAY ELEMENT ARRAY DRIVEN BY THIN-FILM ELECTRIC FIELD EFFECT TYPE TRANSISTOR

(57)Abstract:

PURPOSE: To prevent crosstalks and the degradation in luminance by forming island-shaped gate electrodes and drain lines below gate insulating films, forming gate lines, island-shaped drain electrodes and island-shaped source electrodes on the gate insulating films and connecting the drain electrodes and the drain lines via gate insulating film contact holes.

CONSTITUTION: The liquid crystal display element array driven by the thin-film electric field effect type transistor, which are formed with the gate lines, gate insulating films and drain lines on one substrate side of the liquid crystal display device packed with a liquid crystal material between two sheets of the substrates, are formed with the island-shaped drain gate electrodes 2 and drain lines 3 under the gate insulating films 7 and are formed with the gate lines, the island-shaped drain electrodes 4 and the island-shaped source electrodes 5 on the gate insulating films 7. The gate electrodes and the gate lines 1 are connected via the contact holes 11 of the gate insulating films. The drain electrodes and the drain lines are connected via the contact holes 12 of the gate insulating films. The crosstalks are suppressed in this way and the degradation of the luminance and the generation of the unequal luminance are suppressed.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-51120

⑬ Int. Cl. ⁵

G 02 F 1/136
G 09 F 9/30
H 01 L 27/12
29/784

識別記号

5 0 0
3 3 8

A

庁内整理番号

9018-2K
8621-5G
7514-4M

⑭ 公開 平成4年(1992)2月19日

9056-4M H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 薄膜電界効果型トランジスタ駆動液晶表示素子アレイ

⑯ 特 願 平2-160114

⑰ 出 願 平2(1990)6月19日

⑱ 発 明 者 森 山 浩 明 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

薄膜電界効果型トランジスタ駆動液晶表示素子アレイ

特 許 請 求 の 範 囲

1. 2枚の基板間に液晶材を充てんしてなる液晶表示装置の、その一方の基板側に少なくともゲート線、ゲート絶縁膜及びドレイン線が形成された薄膜電界効果型トランジスタ駆動液晶表示素子アレイにおいて、前記ゲート絶縁膜の下に島状のゲート電極及び前記ドレイン線が形成され、前記ゲート絶縁膜の上に前記ゲート線、島状のドレイン電極及び島状のソース電極が形成され、前記ゲート電極と前記ゲート線とが前記ゲート絶縁膜のコンタクトホールを介して接続され、前記ドレイン電極と前記ドレイン線とが前記ゲート絶縁膜コンタクトホールを介して接続されていることを特徴とする薄膜電界効果型トランジスタ駆動液晶表

示素子アレイ。

2. 前記ゲート絶縁膜の下に、前記島状のゲート電極及び前記ドレイン線と同時に、電荷蓄積コンデンサ配線が形成されていることを特徴とする請求項1記載の薄膜電界効果型トランジスタ駆動液晶表示素子アレイ。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は、液晶表示装置の薄膜電界効果型トランジスタ駆動液晶表示素子アレイに関する。

〔従来の技術〕

薄膜電界効果型トランジスタ駆動液晶表示装置においては、薄膜電界効果型トランジスタはスイッチング素子として使用される。このスイッチング素子として水素化アモルファスシリコン薄膜電界効果型トランジスタを用いた場合の従来の表示素子アレイを第4図に示す。第4図(a)は平面図である。また、第4図(b)、(c)はそれぞれ、第4図(a)のD-D線、E-E線による切

断の断面図を示す。そして、1画素の等価回路を第5図に示す。

第4図において、1はゲート線、2はゲート電極、3はドレイン線、4はドレイン電極、5はソース電極、6は画素電極、7はゲート絶縁膜、8は水素化アモルファスシリコン層、9は燐をドーブした水素化アモルファスシリコン層、10は表面保護膜、13はガラス基板、14は電荷蓄積コンデンサ配線である。また第5図において22は薄膜電界効果型トランジスタ、23は液晶からなる1画素の液晶コンデンサ、24は1画素の液晶の内部抵抗、25は電荷蓄積コンデンサである。実際の液晶表示素子アレイでは、第5図の等価回路がマトリックス状に配置されている。

第4図を用いて、従来の薄膜電界効果型トランジスタ駆動液晶表示素子アレイの構造について製造工程を示すことにより説明する。まずガラス基板13上にクロムからなるゲート線1、ゲート電極2及び電荷蓄積コンデンサ配線14を形成する。ゲート線1及びゲート電極2は一体形成され

ている。次に、窒化シリコンからなるゲート絶縁膜7、水素化アモルファスシリコン層8、燐をドーブした水素化アモルファスシリコン層9を連続して成膜し、ゲート電極2上に水素化アモルファスシリコン層8、燐をドーブした水素化アモルファスシリコン層9からなる島を形成する。そして、インジウム及び錫の酸化物(ITO: Indium Tin Oxide)からなる画素電極6を形成する。さらに、クロムを用いて、ドレイン線3、ドレイン電極4及びソース電極5を形成する。ドレイン線3及びドレイン電極4は一体形成されている。この工程に続いて、ドレイン電極4とソース電極5間との間の燐をドーブした水素化アモルファスシリコン層9を除去することにより薄膜電界効果型トランジスタは完成する。最後に、窒化シリコンからなる表面保護膜10を形成することにより、従来の薄膜電界効果型トランジスタ駆動液晶表示素子アレイが完成する。

次に、第5図を用いて本表示素子アレイの動作を説明する。まず映像信号の第1フィールドにお

いては、各表示セルの輝度に対応する信号電圧がドレイン線3より供給され、ゲート線1にオン・パルスが入力される薄膜電界効果型トランジスタ22がオンし、信号電圧が液晶コンデンサ23及び電荷蓄積コンデンサ25に書き込まれる。この場合、信号電圧の電位は共通電極の電位V。に対して高いとする。電荷蓄積コンデンサ25は、液晶の内部抵抗24によって電荷が放電されて電位が下がるのを補う役目をする。薄膜電界効果型トランジスタ22がオフすると、書き込まれた電圧は次の第2のフィールドで電圧が書き込まれるまで保持される。映像信号の第2フィールドでは、第1フィールドと同様にドレイン線3に供給された信号電圧はゲート線1にオン・パルスが入力されると液晶コンデンサ23及び電荷蓄積コンデンサ25に書き込まれる。なお、第2フィールドでは、信号電圧の電位は共通電極の電位V。に対して低いとする。薄膜電荷効果型トランジスタ23がオフすると、書き込まれた電圧は次のフィールドで電圧が書き込まれるまで保持され

る。このように液晶コンデンサ及び電荷蓄積コンデンサを利用して液晶に電圧を印加、駆動し、透過光強度を変動して画像を表示する。フィールドごとに書き込む電圧の極性を反転し、液晶を交流駆動しているのは、液晶材の劣化を防止するためである。

〔発明が解決しようとする課題〕

以上述べたように各表示素子にはゲート線及びドレイン線を通して電圧が印加される。しかし、表示画面サイズを大型化すると以下に述べるような問題が生ずる。

本表示装置においては、第4図に示すパターン図がマトリックス状に接続される。したがって、ゲート線、ドレイン線及び電荷蓄積コンデンサ配線においては、配線抵抗と配線容量とによって、入力されたパルスが伝搬する際に遅延を生ずる。そして、配線の終端側ではパルスは歪んだ波形となる。入力端子に印加されたパルスが配線終端側において入力パルス電圧の90パーセントに達するまでの時間を伝搬遅延時間 t (90%)とする

と、抵抗とコンデンサから構成される梯子型回路の場合、

$$t(90\%) = n^2 CR \times 1.02 \quad \dots (1)$$

となる。ただし

n : 梯子の段数、

R : 1 段の抵抗の大きさ、

C : 1 段のコンデンサの大きさ

である。(インスティテュート オブ エレクトリカル アンド エレクトロニクス エンジニアズ ジャーナル オブ ソリッド ステート サークイッツ 1983 年第 18 巻第 4 号 (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-18, NO. 4, AUGUST 1983) 418 ~ 426 ページ)。

表示装置の画面サイズが大きくなるほど配線抵抗、配線容量ともに増加するため、伝搬遅延時間も増大する。このように、画面サイズの大型化に伴い入力パルスの伝搬遅延時間が増加すると、配線の終端側の薄膜電界効果型トランジスタへは規定時間内に電圧が到達できず、誤った信号が書き込まれたり、書き込みが不十分となり表示上のク

ロストークが発生し、表示品質の低下をもたらす。

ゲート線の場合、ドレイン線と比較して、配線容量として薄膜電界効果型トランジスタのチャネル容量が加えられるため、伝搬遅延はドレイン線側よりさらに大きい。したがって、特に大型表示装置ではゲート線の配線抵抗を小さく抑える必要がある。抵抗を下げる方法の一つとして、膜厚を厚くすることが考えられるが、ゲート線は絶縁膜の下側に形成されるため、ドレイン線とのクロス部などで絶縁膜の上側のドレイン線が段差切れを起こす。したがって膜厚は通常 $0.1 \sim 0.2 \mu\text{m}$ 程度が限界であった。

電荷蓄積コンデンサに関しては、書き込まれた電圧を保持し、高画質の表示を行うためには、なるべく大きな容量の電荷蓄積コンデンサが必要である。電荷蓄積コンデンサ配線は、従来、第 4 図に示すようにゲート絶縁膜の下にゲート線と平行に配置され、電荷蓄積コンデンサ配線には、表示素子アレイの左または右側の端子から信号が印加

されていた。電荷蓄積コンデンサ配線においても配線に抵抗を小さく抑える必要がある。

本発明は、ゲート線、電荷蓄積コンデンサ配線の配線抵抗を下げて、信号の伝搬遅延によるクロストーク、輝度低下等の問題を除去した大型液晶表示素子アレイを提供することを目的としている。

(課題を解決するための手段)

本発明の薄膜電界効果型トランジスタ駆動液晶表示素子アレイは、2 枚の基板間に液晶材を充てんしてなる液晶表示装置の、その一方の基板側に少なくともゲート線、ゲート絶縁膜及びドレイン線が形成された薄膜電界効果型トランジスタ駆動液晶表示素子アレイにおいて、前記ゲート絶縁膜の下に島状のゲート電極及び前記ドレイン線が形成され、前記ゲート絶縁膜の上に前記ゲート線、島状のドレイン電極及び島状のソース電極が形成され、前記ゲート電極と前記ゲート線とが前記ゲート絶縁膜のコンタクトホールを介して接続され、前記ドレイン電極と前記ドレイン線とが前記

ゲート絶縁膜コンタクトホールを介して接続されて構成されている。

また上記構成において、前記ゲート絶縁膜の下に、前記島状のゲート電極及び前記ドレイン線と同時に、電荷蓄積コンデンサ配線が形成された構成とすることもできる。

(作用)

請求項 1 記載の発明によれば、ゲート線は絶縁膜上に形成されるので、従来のような膜厚の制限がなくなり、2 倍以上に厚くできる。したがって、配線抵抗の小さいゲート線の形成が可能となる。

一般に、ディスプレイは横に長い形である。請求項 1 記載の発明によればゲート線(横方向)と比較して長さの短いドレイン線(縦方向)と平行に電荷蓄積コンデンサ配線を配置するので、電荷蓄積コンデンサ配線における信号の伝搬遅延時間を短くできる。ディスプレイの画素数の縦対横の比を M 対 N 、画素が正方形であるとする、電荷蓄積コンデンサが縦に配置された場合の伝搬遅延

と横に配置された場合の伝搬遅延とは、(1)式から計算されるように、

$$\text{縦: } t(90\%) = M^2 \cdot C_{ST} \cdot R \cdot 1.02$$

$$\text{横: } t(90\%) = N^2 \cdot C_{ST} \cdot R \cdot 1.02$$

となるので、本発明によれば、従来に比べ、伝搬遅延時間が $(N/M)^2$ に減少する。ただし、 C_{ST} は電荷蓄積コンデンサの大きさ、 R は電荷蓄積コンデンサ配線の1ピッチの抵抗の大きさである。

〔実施例〕

次に、本発明について図面を参照して詳細に説明する。

第1図は本発明の実施例の構成を示す図である。第1図(a)はパターンの平面図、(b)はA-A線による切断の断面図、(c)はB-B線による切断の断面図である。

第1図において、1はゲート線、2はゲート電極、3はドレイン線、4はドレイン電極、5はソース電極、6は画素電極、7はゲート絶縁膜、8は水素化アモルファスシリコン層、9は燐ドー

後、画素電極6にパターン化する。その後、ゲート絶縁膜7にゲートコンタクトホール11及びドレインコンタクトホール12を形成する。さらにスパッタリング法によりクロムを0.4 μ m成膜した後、パターンニングを行なうことにより、ゲート線1、島状のドレイン電極4、ソース電極5を形成する。このとき、ゲートコンタクトホール11において、ゲート線1とゲート電極2が接続され、ドレインコンタクトホール12において、ドレイン線3とドレイン電極4とが接続される。ゲート線1の膜厚は従来の0.1 μ mから0.4 μ mに増加した。なお、引き続き、ドレイン電極4とソース電極5との間の、島化した水素化アモルファスシリコン層8上の燐のドーパした水素化アモルファスシリコン層9を除去することにより、薄膜電界効果型トランジスタのチャンネル部が形成され、完成される。最後に、このチャンネル部を保護するための表面保護膜10として窒化シリコン膜を0.5 μ m成膜することにより、薄膜電界効果型トランジスタ素子アレイが完成する。

した水素化アモルファスシリコン層、10は表面保護膜、11はゲートコンタクトホール、12はドレインコンタクトホール、13はガラス基板である。

第1図(a)ないし(c)を用いて、本実施例の薄膜電界効果型トランジスタ駆動液晶表示素子アレイの具体的な製造方法を述べることにより、構造の説明をする。まず、ガラス基板13上にスパッタリング法によりクロムを0.1 μ m成膜し、パターンニングを施すことにより島状のゲート電極2及びドレイン線3を形成する。続いてゲート絶縁膜7として窒化シリコン層を0.3 μ m、水素化アモルファスシリコン層8を0.2 μ m、燐をドーパした水素化アモルファスシリコン層9を0.4 μ m、プラズマ化学気相成長法により純に成膜する。そして燐をドーパした水素化アモルファスシリコン層9及び水素化アモルファスシリコン層8をパターンニングしてゲート電極2上で島化を行なう。次に、スパッタリング法により、透明導電膜であるITOを0.05 μ m成膜した

以上のように、本発明の構造を持つ、対角10インチの大きさの薄膜電界効果型トランジスタ駆動の液晶表示装置を作成した。画面の縦横比は、3対4として、画素数は縦400、横550とした。従来はゲート線のパルスの伝搬遅延が15 μ sec以上であったが、本発明の構造のゲート線パルス伝搬遅延は5 μ sec以下であった。

次に請求項2記載の発明の実施例を説明する。第2図は、本発明の一実施例の構成を示す図で(a)はパターンの平面図、(b)はC-C線による切断の断面図である。

第2図において、1～13は第1図に示されたものと同様のものであり、電荷蓄積コンデンサ配線14が追加されている。

第2図(a)及び(b)を用いて、本実施例の薄膜電界効果型トランジスタ駆動液晶表示素子アレイの具体的な製造方法を述べることにより、構造の説明をする。まず、ガラス基板13上にスパッタリング法によりクロムを0.1 μ m成膜し、パターンニングを施すことにより島状のゲート電極

2 及びドレイン線 3 と同時に、電荷蓄積コンデンサ配線 1 4 を形成する。その後の工程は、第 1 図の実施例と同じであり、ゲート絶縁膜 7 として窒化シリコン層を $0.3 \mu\text{m}$ 、水素化アモルファスシリコン層 8 を $0.2 \mu\text{m}$ 、燐をドーブした水素化アモルファスシリコン層 9 を $0.04 \mu\text{m}$ 、プラズマ化学気相成長法により順に成膜する。そして、燐をドーブした水素化アモルファスシリコン層 9 及び水素化アモルファスシリコン層 8 をパターンニングしてゲート電極 2 上で島化を行なう。次に、スパッタリング法により、透明導電膜である ITO を $0.05 \mu\text{m}$ 成膜した後、画素電極 6 にパターン化する。その後、ゲート絶縁膜 7 にゲートコンタクトホール 1 1 及びドレインコンタクトホール 1 2 を形成する。さらにスパッタリング法によりクロムを $0.4 \mu\text{m}$ 成膜した後、パターンニングを行なうことにより、ゲート線 1、ドレイン電極 4 及びソース電極 5 を形成する。このとき、ゲートコンタクトホール 1 1 において、ゲート線 1 とゲート線 2 が接続され、ドレインコンタクト

ホール 1 2 において、ゲート線 3 とドレイン電極 4 とが接続される。なお、引き続き、ドレイン電極 4 とソース電極 5 との間の、島化した水素化アモルファスシリコン層 8 上の燐をドーブした水素化アモルファスシリコン層 9 を除去することにより、薄膜電界効果型トランジスタのチャネル部が形成され、完成される。最後に、このチャネル部を保護するための表面保護膜 1 0 として窒化シリコン膜を $0.5 \mu\text{m}$ 成膜することにより、薄膜電界効果型トランジスタ素子アレイが完成する。

第 2 図 (b) の断面図に示すように、電荷蓄積コンデンサは画素電極 6 と電荷蓄積コンデンサ配線 1 4 との間でゲート絶縁膜 7 を介して形成される。

以上のように、ゲート絶縁膜化に電荷蓄積コンデンサ配線をドレイン線及び島状のゲート電極と同時形成し、ドレイン線と平行に配置した構造の、対角 10 インチの大きさの薄膜電界効果型トランジスタ液晶表示装置を作成した。画面の縦横比は、3 対 4 として、画素数は縦 400、横 550 とし

た。電荷蓄積コンデンサ配線は、従来と異なり、ドレイン線と平行に縦方向に配置され、配線の長さは従来の 4 分の 3 になった。片側から電荷蓄積コンデンサ電極配線に入力した信号の伝搬遅延時間を反対側で測定したところ、約 32 マイクロ秒であった。従来の、電荷蓄積コンデンサ配線をゲート線と平行に横方向に配置した構造では、伝搬遅延時間 60 マイクロ秒以上であったので、約半分に減少した。そして、本実施例による液晶表示装置では、電圧不足による輝度の低下等の影響は発生せず、高画質の画面が得られた。

本発明による、他の実施例を第 3 図に示す。本実施例においては、開口率を大きくするため、電荷蓄積コンデンサ配線 1 4 の電極部をコの字型に形成している。また、島状のゲート電極 2 及び島状のドレイン電極 4 をそれぞれゲート線 1 の下側及びドレイン線 3 の上側に延長して配置しゲートコンタクトホール 1 1 及びドレインコンタクトホール 1 2 を介して接続することにより、配線抵抗をさらに下げる効果と多層構造による断線の防止

効果を得ている。

なお、本実施例全体では配線材料として、クロムを用いたが、アルミニウム、タンタル、モリブデン、チタン等の他の金属も使用できる。また、ゲート絶縁膜、表面保護膜には窒化シリコンを用いたが、二酸化シリコン等の他の絶縁膜も使用できる。さらに、半導体層として水素化アモルファスシリコンを使用したが多結晶シリコン等の他の半導体も使用できる。

〔発明の効果〕

以上述べてきたように、本発明の薄膜電界効果型トランジスタ駆動（アクティブマトリックス型）液晶表示素子アレイによれば、ゲート線の膜厚増加及び電荷蓄積コンデンサ配線の長さ短縮によりそれぞれの抵抗値を低下させることができるので、ゲート線におけるパルスの伝搬遅延と電荷蓄積コンデンサ配線における信号の伝搬遅延とを短くできる。したがって、ゲート線のパルスの伝搬遅延によって発生するクロストークを抑え、電荷蓄積コンデンサ配線における伝搬遅延によって引き起

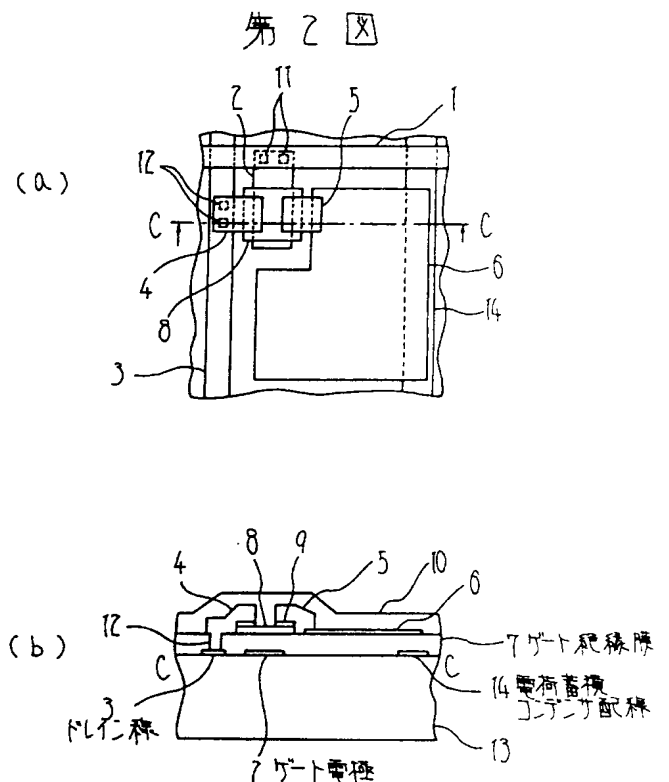
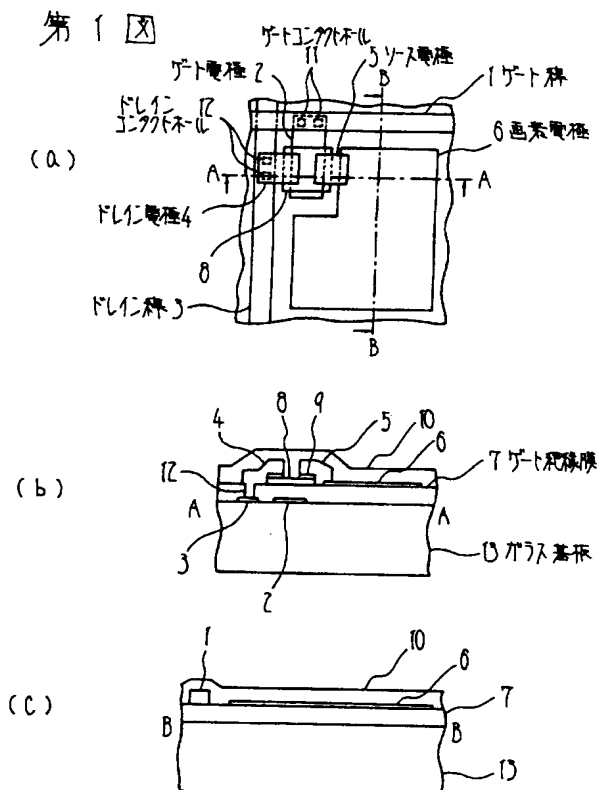
こされる電圧不足により輝度低下、輝度むらの発生を抑止できる高画質大型液晶表示装置が実現できる。

図面の簡単な説明

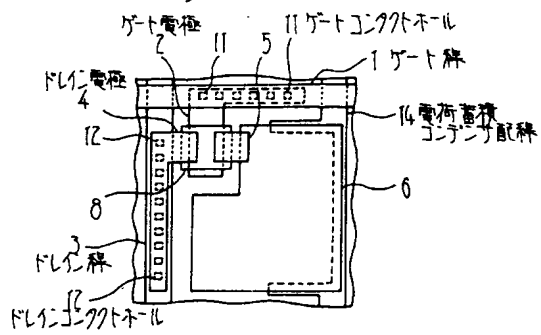
第1図(a)、(b)、(c)は本発明の一実施例を示す平面図及び断面図、第2図(a)、(b)は本発明の他の実施例を示す平面図及び断面図、第3図はさらに他の実施例を示す平面図、第4図(a)、(b)、(c)は従来の薄膜電界効果型トランジスタ駆動液晶表示素子アレイを示す平面図及び断面図、第5図は1画素の等価回路図である。

1…ゲート線、2…ゲート電極、3…ドレイン線、4…ドレイン電極、5…ソース電極、6…画素電極、7…ゲート絶縁膜、8…水素化アモルファスシリコン層、9…燐をドーパした水素化アモルファスシリコン層、10…表面保護膜、11…ゲートコンタクトホール、12…ドレインコンタクトホール、13…ガラス基板、14…電荷蓄積コンデンサ

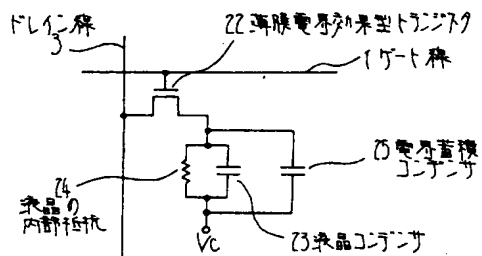
代理人 弁理士 内 原 晋



第 3 回



第 5 回



第 4 圖

